

⑫ 公表特許公報 (A)

平3-501072

⑬ 公表 平成3年(1991)3月7日

⑤ Int. Cl. 5 G 06 F 13/38 H 04 L 29/10	識別記号 3 5 0	府内整理番号 8840-5B 8948-5K	審査請求未請求 子備審査請求未請求	部門(区分) 6 (3) 3 0 9 Z
--	---------------	------------------------------	----------------------	----------------------------

(全 7 頁)

④ 発明の名称 直列データインターフェース

②特 願 平1-509425
 ⑥⑦出 願 平1(1989)8月22日

⑤翻訳文提出日 平2(1990)4月27日
 ⑥国際出願 PCT/EP89/00984
 ⑦国際公開番号 WO90/02377
 ⑧国際公開日 平2(1990)3月8日

優先権主張 ③1988年8月31日③西ドイツ(DE)③P3829454.0

⑨発明者 グライム, ギュンター ドイツ連邦共和国 D-7730 フィーリング オーベラー ゾネン
 ビュール 22

⑩出願人 ドイチエ トムソン・プラント ドイツ連邦共和国 7730 フィーリング - シュヴェニンゲン (番
 ゲゼルシャフト ミット ベ 地なし)
 シュレンクテル ハフツング

⑪代理人 弁理士 矢野 敏雄 外2名

⑫指定国 A T(広域特許), B E(広域特許), C H(広域特許), D E(広域特許), F I, F R(広域特許), G B(広域特
 許), I T(広域特許), J P, K R, L U(広域特許), N L(広域特許), S E(広域特許), S U

最終頁に続く

請求の範囲

1. データ線路(9)、イネーブル線路(10)およびクロックパルス線路(11)を備えたデータバス(3)と周辺回路(2)とを接続するための直列データインターフェースにおいて、
 データ記憶装置(4)、比較回路(5)、制御回路(6)、内部セット／リセット回路(7)および内部クロックパルス発生器(8)が設けられており、その際、データ記憶装置(4)の入力側はデータバス(3)のデータ線路(9)と接続可能であり、さらに該データ記憶装置(4)の出力側に比較回路(5)が設けられ、該比較回路には制御回路(6)が後置接続されており、さらに内部セット／リセット回路(7)の入力側はデータバス(3)のイネーブル線路(10)およびクロックパルス線路(11)と接続可能であり、さらに該内部セット／リセット回路(7)の出力側はデータ記憶装置(4)、比較回路(5)および制御回路(6)のセット入力側および／またはリセット入力側と接続されており、さらに内部クロックパルス発生器(8)の入力側はデータバス(3)のイネーブル線路(10)およびクロックパルス線路(11)と接続可能であり、該内部クロックパルス発生器(8)の出力側はデータ記憶装置(4)、比較回路(5)および制御回路(6)

6)と接続されていることを特徴とする直列データインターフェース。

2. データ記憶装置(4)がn個の記憶セル(25)を有するシフトレジスタを備え、その際、個数nは周辺回路(2)に割り当てられたデータ語のビット数に相応する請求項1記載の直列データインターフェース。
3. データ記憶装置(4)はセット／リセット回路(7)によって、入力側から見て第1番目の記憶セル(25)が論理値1でありかつ残りの記憶セル(25)が論理値0である状態あるいはその反対の状態におかれ得る請求項1記載の直列データインターフェース。
4. 記憶装置(4)の入力側から見て最後の記憶セル(25)が比較回路(5)の構成要素であり、この場合、該比較回路(5)はさらに比較論理回路(27)を備え、該比較論理回路には、一方の側で前記最後の記憶セルの出力側が接続され、さらに他方の側で周辺回路(2)のアドレスを設定する構成素子の出力側が接続されている請求項2または3記載の直列データインターフェース。
5. 制御回路(7)が複数個の記憶セル(28)を有するシフトレジスタとして構成されており、その際、それらの記憶セル(28)は論理結合素子(29、30、31)を介して互いに接続されており、さ

BEST AVAILABLE COPY

直列データインターフェース

らに比較回路(5)およびセット／リセット回路(7)の出力側が論理結合素子(29、30、31)の入力側と接続されており、さらに制御回路(6)の出力側からメモリ転送信号LATC Hおよび書き込み／読み出し信号WRITEを取り出し可能である請求項2から4のいずれか1項記載の直列データインターフェース。

6. 制御回路(6)はセット／リセット回路(7)によって、入力側から見て第1番目の記憶セル(28)は論理値1でありかつ残りの記憶セル(28)は論理値0である状態あるいはその反対の状態におかれ得る請求項5記載の直列データインターフェース。

7. 制御回路(6)の書き込み／読み出し信号WRITEを導く出力側が比較回路(5)の制御論理回路(29)と接続されており、該制御論理回路(29)により比較回路(5)の記憶セル(26)を書き込み動作モードにおいてカウンタとして切り替え可能であり、さらに1つのカウンタ出力側が制御回路(6)の各記憶セル(28)間の論理結合素子のうちの1つ(29)と接続されている請求項5または6記載の直列データインターフェース。

インターフェースにおいて、その特徴部分に記載の構成により解決される。

本発明による直列データインターフェースは、周辺回路をトムソンの設計仕様に合致するデータバスと接続するのに非常に適している。この場合、まずデータ語の長さが割り当て(帰属)のために利用される。複数個の周辺回路が同じ長さのデータ語を受信するためこの判断基準が十分でない場合は、付加的にデータ語内に挿入されたアドレスを評価することができる。

データ語の評価は読み出しサイクルの間に行われる。この読み出しサイクルはイネーブル線路の所定の論理状態により設定されている。読み出しサイクル中にクロック線路を介して伝送されるクロックパルスの数は、データ語の長さに相応する。各クロックパルスごとに、データ線路上のデータの1ビットがデータ記憶装置に書き込まれる。データ記憶装置の出力側に設けられた比較回路によりデータ語の長さが検査される。データ語の長さが周辺回路に対して設定された長さと異なる場合、後置接続された制御回路は記憶したデータの周辺回路への転送を停止する。データ語の長さが正しい場合には転送命令が発せられ、あるいはその際、検出された長さのデータ語が一様に割り当て(帰属)可能でない場合は、さらにデータ語内に含まれるアドレスビットの検査が行われる。正しいアドレスであれば、データ記憶装置に中間記憶されたデータの周

本発明は請求項1の上位概念記載の直列データインターフェースに関する。

直列データインターフェースは、データバスを介してデータを受信または送信する周辺回路を伝送技術によりデータバスと接続するに使われる。双方方向データバスによるデータ伝送はドイツ連邦共和国特許第3404721号公報に記載されている。データバスを介してできるだけ短いデータ伝送時間を実現するために、データ語は伝送すべきデータ量に必要なだけの長さに選択される。直列データインターフェースは、データバスを介して流れるデータ流を接続されている周辺回路への配属を識別させる標識に基づき評価しなければならない。

したがって本発明の課題は、接続されている周辺回路に該当するデータ語の長さ、ならびにデータ語内に場合によっては含まれる周辺回路のアドレッシング情報を迅速かつ正確に識別することができ、さらに当該の周辺回路向けの所定データ語を即座にその周辺回路に転送することのできる直列データインターフェースを構成することにある。

この課題は、請求項1の上位概念による直列データ

辺回路への伝送を指示する転送命令が発せられる。そうでない場合、転送は停止される。

イネーブル線路の状態およびクロック線路上のクロックパルスを併合的に評価することにより、データ伝送開始時にデータ記憶装置、比較回路ならびに制御回路が所定の待ち状態にセットされ、繰り返しこの状態から、伝送されたデータ語の全く新しい検査が可能である。イネーブル線路を書き込み状態に切り替えることにより、直列インターフェースをデータバスへのデータの出力状態に切り替えることができ、この場合、同時にデータバスへ送出すべきデータを所定の長さに設定することができる。

本発明の有利な実施例が請求項および以下の記載ならびに本発明の実施例を示す図面により明らかにされている。

第1図は本発明による直列データインターフェースのプロック図、第2図は24ビットのデータ語長用の直列データインターフェースの全体の回路図、第3図は第2図の部分図としてのクロックパルス発生器を備えたセット／リセット回路図、第4図は第3図で示した回路の信号ダイアグラム図、第5図は第2図の部分図としてのデータ記憶装置の図、第6図は第2図の部分図としての比較回路図、第7図は第6図で示した回路のタイムチャート図、第8図は第2図の部分図としての制御回路図、第9図は第8図で示した制御回路の

タイムチャート図、さらに第10図は第8図で示した回路のフローチャート図をそれぞれ示す。

第1図は直列データインターフェース1のブロック図を示す。これにより周辺回路2とデータバス3とが接続されている。直列データインターフェース1は、データ記憶装置4、比較回路5、制御回路6、セット／リセット回路7および内部クロックパルス発生器8を有する。データバス3は3本の線路、即ちデータ線路9、イネーブル線路10およびクロックパルス線路11を備える。さらにリセット線路12が設けられている。

周辺回路との接続のために並列データ出力端子13、直列データ入力端子14、アドレス出力端子15、カウンタ出力端子16および制御出力端子17～19が用いられる。直列データインターフェース1の回路全体は第2図により明らかにされている。その際、第1図で示されたブロックに対応する各回路構成部は破線の枠により示されており、かつ同じ参照番号を有する。また第1図で既に示されている線路および出力端子も同じ参照番号で示されている。

第2図に示されている回路において、データ記憶装置4の入力側がデータ線路9と接続されている。データ記憶装置4の出力側には比較回路5が設けられており、さらにこれに制御回路6が後置接続されている。内部セット／リセット回路7の入力側はイネーブル線

路10およびクロックパルス線路11と接続されている。内部セット／リセット回路7の出力側はデータ記憶装置4のセット入力側およびリセット入力側、比較回路5および制御回路6に導かれる。クロックパルス発生器8の入力側はイネーブル線路10およびクロックパルス線路11と接続されており、クロックパルス発生器8の出力側はデータ記憶装置4、比較回路5および制御回路6のクロック入力側に導かれる。個々の構成群ならびに直列データインターフェース全体の機能を説明するために以下の図面を参照する。

第3図はセット／リセット回路7および内部クロックパルス発生器8を示す。第4図のタイムチャートから明らかのように、まず外部リセット信号EXTRE'Sによりセット／リセット回路7のフリップーフロップ20が所定の状態に切り替えられる。それにつづいて生じる直列データインターフェース1の別の回路構成部へのセット／リセット命令PRESET、RESETは、イネーブル信号ENABLEとクロックパルス信号CLOCKとの組み合わせにより発生する。タイムチャートにより明らかにされているように、第1のクロックパルス期間中にセット／リセット信号PRESET、RESETにおいて状態変化が生じる。後続のパルスが発生すると当該状態はもはや変化しない。イネーブル信号ENABLEの状態の切り替えにより開始される書き込みサイクルにおいても、セット／

リセット信号の新たな変化は生じない。クロックパルス発生器8はイネーブル線路の信号ENABLEおよびクロックパルス線路のクロックパルス信号CLOCKとに関連して内部クロックパルスCNTCLKを発生する。これは両方の信号ENABLE、CLOCKを、ゲート21を用いてEX-OR論理結合により結合することにより行われる。その場合、内部クロックパルスCNTCLKは書き込みサイクルでは読み出しサイクルに対して反転されている。

第5図にはデータ記憶装置が示されている。これは記憶セル25を備えたシフトレジスタとして構成されており、この場合、記憶セル25の数nは周辺回路2に対して定められたデータ語のビット数に相応する。データ語全体はデータビットのみから成るかまたは、アドレスビットが必要な場合には、データビットとアドレスビットから成る。DATAと記された信号を導くデータ線路9は、データ記憶装置の直列入力側22と接続されており、データDATAOUTは並列データ出力側13から取り出すことができる。クロック入力側23を介してクロックパルス信号CNTCLKが導かれ、その際、データ入力側22に到来するビットは各クロックパルスごとに1つの記憶セル25だけさらにシフトされる。セット／リセット入力側24を介してセット／リセット信号RESETを導くことができ、この信号により個々の記憶セル25を所定の出力

状態にもたらすことができる。その場合、第1の記憶セル25の出力側は論理値1の状態に切り替えられ、残りの記憶セル25は論理値0の状態に切り替えられる。

データ流がデータ記憶装置4に書き込まれると直ちに、第1の記憶セル25のセットにより形成されたビットはデータ語の残りのビットに対するリーディングビットとして記憶装置4を通って移動する。このリーディングビットは、正しいデータ語長または大きすぎるデータ語長の場合には後で第1ビットとして比較回路5に現われ、さらにBIT24としてデータ語が周辺回路2に対して定められた正しい語長を有するかが評価される。データを送出する際データ記憶装置4のシフトレジスタは、直列で書き込まれたデータ語を並列で読み出されるデータ語に変換するためにも使われる。書き込みサイクルにおいて、つまりデータを周辺回路2からデータバスへ送出する場合にはデータは直列で読み出される。

第6図には比較回路5が示されている。この比較回路は記憶セル26からなるシフトレジスタを備え、この記憶セル26へデータ記憶装置4に書き込まれたデータがデータ(N)として伝送される。データ語に周辺回路2の1つの回路に対するアドレス割り当て用のビットが含まれていなければ、データ記憶装置4の第1の記憶セル25にセットされたビットを検査するた

めにはシフトレジスタの1つの記憶セルだけで十分であろう。それに対して、さらにアドレスビットが含まれる場合、アドレスビットの数mに応じてm個の新たな記憶セル26が必要である。実施例に示されているように、4つのアドレスビットがデータ語のデータビットの前に置かれている場合、さらに3つの記憶セル26が比較回路5のシフトレジスタ内に必要である。

第7図には比較回路5のタイムチャートが示されている。このタイムチャートにより、データがデータバス3からデータ記憶装置4に書き込まれさらにそこからデータ(N)として比較回路へ到達する読み出しサイクルの開始時において、イネーブル信号ENABLEの状態は論理値0であることがわかる。この場合、データ語長が24ビットであり、このデータ語長に合わせて回路が設計されている場合、同じ長さのデータ語がデータバス3を介して伝送されるということを前提としている。このタイムチャートには24クロックうちの最後の数クロックが示されており、それらのクロックパルスによりデータ語が比較回路26の記憶セル26に書き込まれる。24番目のクロックパルスCNTCLKにより最後の記憶セル26の出力側に前置された先行ビットがBIT24として現われ、一方、その記憶セルの手前に配置された3つの記憶セル26はアドレスビットを有する。比較論理回路27を用いてデータ語のアドレスと周辺回路2のアドレスとの一

の状態にセットされる。データ語のビットの数が所定の長さと一致しない場合、つまりイネーブル信号ENABLEが先行ビットの前または後でその状態を論理値1に変更する場合、第1の記憶セル28の出力状態Q1は第2の記憶セル28へ転送されない。それに対してビット数が一致している場合、論理結合素子30が第1の記憶セル28の状態を第2の記憶セル28に転送できるかは、さらにCAV信号の状態に依存している。CAV信号の状態が論理値1の場合がこれにあてはまり、第9図に示されているように出力側Q2は論理値1になり、さらにイネーブル信号ENABLEが論理値0から論理値1へ変化した後で、転送信号LATCHが送出される。この信号は例えばデータ記憶装置4に記憶されたデータを周辺回路2に転送するために使われる。さらにこの状態が生じると第3の記憶セル28がさらに別のクロックパルスによりセットされ、さらにこの記憶セル28の出力側に信号WRITEが現われる。この信号は、すでに第6図および7図に開示して説明したように、比較回路5を計数動作モードに移動させる。書き込みサイクルが終了し、カウンタとして動作する比較回路5を介してAVN信号が供給されると、制御回路6は待ち状態に戻る。イネーブル信号ENABLEの状態が変化し、回路が読み出しサイクルに切り替わられた場合、書き込みサイクルを途中で中止することもできる。この場合、制御回路

6が検査される。このため比較論理回路27の入力側には記憶セル26の出力側を介してデータ語のアドレスが加えられ、さらに周辺回路2のアドレスが設定されている論理結合素子の出力側を介してそのアドレスがIC-アドレスとして加えられる。先行ビットがBIT24として最後の記憶セル26の出力側に現われるのと同じ時点において、比較論理回路27の出力側は一致が生じた場合には識別信号CAVを送出する。

前述の回路は書き込みサイクルのためにさらに別の機能を備え、イネーブル信号ENABLEの論理状態を変更することによりこの機能へ切り替える。制御回路6から到来する転送信号LATCHによりこの回路はリセットされ、同時に制御回路6から到来する信号WRITEはデータ記憶装置4からのデータ流を遮断し、さらに記憶セル26から成るシフトレジスタをカウンタとして切り替える。カウンタが所定の状態に到達すると信号AVNが制御回路6へ伝送される。第7図のタイムチャートではこの状態は、書き込みサイクルへ切り替えられさらに合計16クロックから成るクロックパルスの発生後に示されている。

第8図には制御回路6が示されている。この制御回路6もシフトレジスタを形成する複数個の記憶セル28を備え、それらの記憶セル28は論理結合素子29、30、31を介して接続されている。内部セット信号RESETにより第1の記憶セル28が論理値1

6の記憶セル28も再び首頭で述べた所定の出力状態に戻される。制御回路6における前述の過程は、付加的に第10図のフローチャートとして示されている。

FIG.1

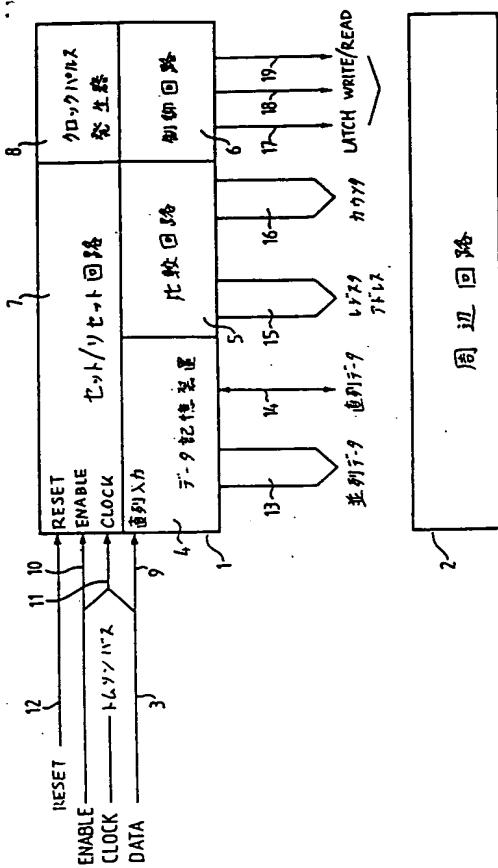


FIG.2

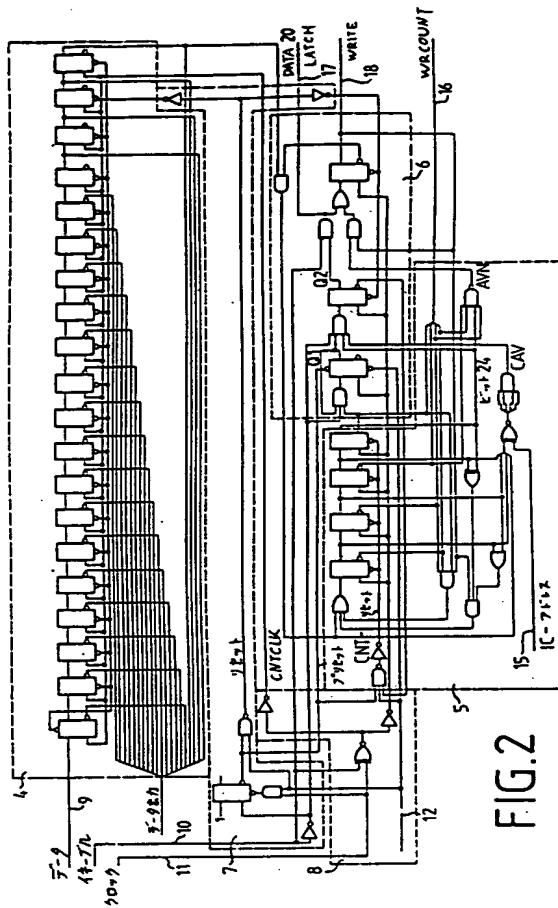


FIG.3

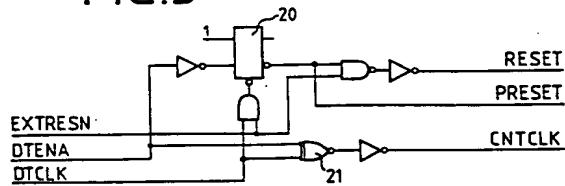


FIG.4

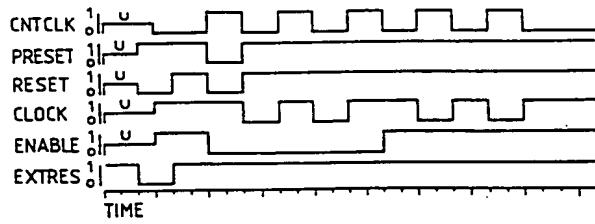


FIG.5

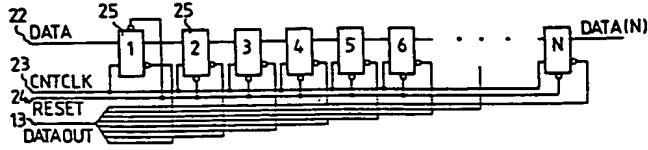


FIG.6

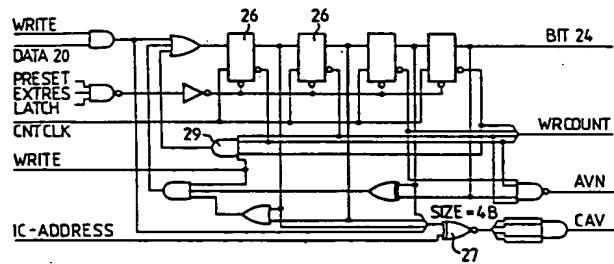


FIG.7

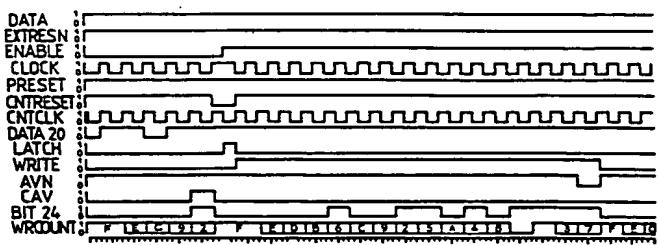


FIG.9

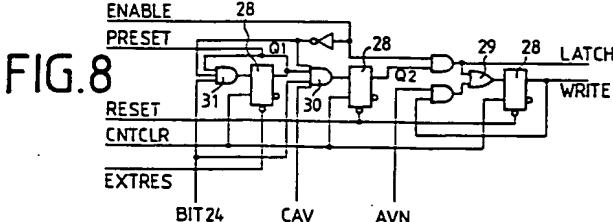
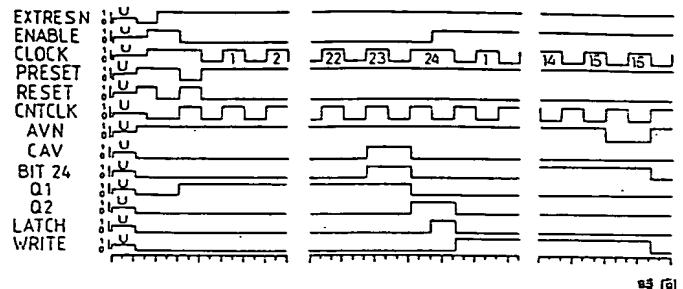
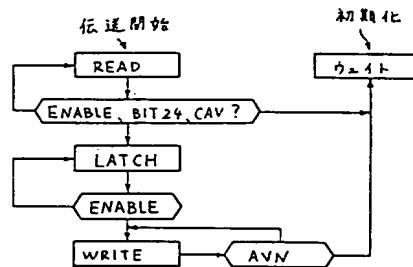


FIG.10



国際調査報告

International Application No. PCT/EP 89/00984

I. CLASSIFICATION OF SUBJECT MATTER (In general classification symbols only, indicate all)	
According to International Patent Classification (IPC) or its equivalent Classifications and CPC	
Int.C15 G06F 13/42	
E. FIELDS SEARCHED	
Mainly Document Search and Classification System:	
Classification System:	Classification Symbols:
Int.C15	606F
Documentation Search other than Mainly Documentation to the Extent that such Documents are Included in the Fields Searched	
II. DOCUMENTS CONSIDERED TO BE RELEVANT*	
Category Citation of Document, ** and indication, where appropriate, of the relevant passages Reference to Claim No. *	
A DE, A1, 3404721 (DEUTSCHE THOMSON-BRANDT) 14 August 1985 see the whole document (cited in the application)	1

* General expression of other documents: "A" document referring to the present state of the art which is not mentioned in the application, but which may be of interest in view of the disclosure of the application; "B" document published or to be published in the field of endeavour of the application, which is not concerned with the subject matter of the application, but which may be of interest in view of the disclosure of the application; "C" document which may throw doubt on priority, claimed or which is used to establish the publication date of another document or other reasons (as specified); "D" document which is of interest in view of the disclosure, and, otherwise or other means; "E" document which is of interest in view of the disclosure, and, otherwise or other means; "F" document which is of interest in view of the disclosure, and, otherwise or other means; "G" document which is of interest in view of the disclosure, and, otherwise or other means; "H" document which is of interest in view of the disclosure, and, otherwise or other means; "I" document which is of interest in view of the disclosure, and, otherwise or other means; "J" document which is of interest in view of the disclosure, and, otherwise or other means; "K" document which is of interest in view of the disclosure, and, otherwise or other means; "L" document which is of interest in view of the disclosure, and, otherwise or other means; "M" document which is of interest in view of the disclosure, and, otherwise or other means; "N" document which is of interest in view of the disclosure, and, otherwise or other means; "O" document which is of interest in view of the disclosure, and, otherwise or other means; "P" document which is of interest in view of the disclosure, and, otherwise or other means; "Q" document which is of interest in view of the disclosure, and, otherwise or other means; "R" document which is of interest in view of the disclosure, and, otherwise or other means; "S" document which is of interest in view of the disclosure, and, otherwise or other means; "T" document which is of interest in view of the disclosure, and, otherwise or other means; "U" document which is of interest in view of the disclosure, and, otherwise or other means; "V" document which is of interest in view of the disclosure, and, otherwise or other means; "W" document which is of interest in view of the disclosure, and, otherwise or other means; "X" document which is of interest in view of the disclosure, and, otherwise or other means; "Y" document which is of interest in view of the disclosure, and, otherwise or other means; "Z" document which is of interest in view of the disclosure, and, otherwise or other means.	
IV. CERTIFICATION	
Date of the Actual Completion of the International Search	Date of Mailing of the International Search Report
10 November 1989 (10.11.89)	12 December 1989 (12.12.89)
International Searching Authority	Signature of Authorized Officer
EUROPEAN PATENT OFFICE	

国際調査報告

EP 8900984
SA 30783

This search has the patent family members relating to the patent documents cited in the above-mentioned international search report. The documents are as recorded in the European Patent Office EPO for on 12/11/89. The European Patent Office is in no way liable for those particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication day	Patent family member(s)	Publication day
DE-A- 3404721	14-08-85	EP-A- 0154774 JP-A- 60209864	18-09-85 22-10-85

PATENT POINT

For more details about this search : see Official Journal of the European Patent Office, Vol. 12/89

第1頁の続き

②発明者 ベーカー, ゲオルク

ドイツ連邦共和国 D - 7814 ブライスアツハ ブライスガウシュ
トラーセ 5

②発明者 クリフチレイ, バリー

ドイツ連邦共和国 D - 7730 フアウエス - フイリングен ヴアル
トシュトラーセ 35

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.